

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JA 0031166
FEB 1982

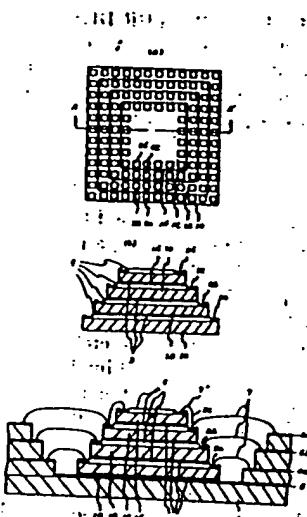
521 E 112

(54) SEMICONDUCTOR DEVICE

(11) 57-31166 (A) (43) 19.2.1982 (19) JP
 (21) Appl. No. 55-105911 (22) 31.7.1980
 (71) FUJITSU K.K. (72) JIYUNJI SAKURAI
 (51) Int. Cl.: H01L23/48, H01L21/58

PURPOSE: To provide a compact and high capacity semiconductor device, by a method wherein IC chips laminated into multilayer are housed in a package which has inner pads placed in a shape of steps and the inner pads are connected to the corresponding outer conducting pads of the chips.

CONSTITUTION: IC chips 1a~1d are piled and fixed with adhesive material 3 such as insulating resin, conductive resin or soldering material on the stage 5 of a package 4. The required connecting pads 2a, 2b, 2c of the chips and inner pads 6a, 6b, 6c of the multilayer constructed package 4 are connected with wires 7. The surface of each chip 1d at the top stage and the required pad 2c of the chip 1c of the lower stage are connected with a wire 7'. The inner pads 6a~6c of the package and corresponding pads 2a~2c of the multilayer IC chips 1a~1d are to be placed on almost a same level. Thus the yield of the multilayer IC production is improved and the compact and high capacity devices are provided.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-31166

⑫ Int. Cl.

H 01 L 23/48

第 52 頁 521/58

識別記号

厅内整理番号

6819-5F

6679-5F

⑬ 公開 昭和57年(1982)2月19日

発明の数 1

審査請求 未請求

(全 4 頁)

⑭ 半導体装置

⑮ 特 願 昭55-105911

⑯ 出 願 昭55(1980)7月31日

⑰ 発 明 者 桜井潤治

川崎市中原区上小田中1015番地
富士通株式会社内

⑱ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

⑲ 代 理 人 弁理士 松岡宏四郎

特許出願用紙

発明の名称

半導体装置

特許請求の範囲

(1) 半導体電子が集積されてなる電子部品が多層化技術により、各層に外部との導内部、ドが設けられた多層半導体集積回路チップをバケージ内に封入した半導体装置について。該バケージ内に封入した半導体装置について、該バケージ内の内底部、ドが階層状に多層に設けられ、対応する層の前記導通部、ドと内部部、ドとが、外部導体を介して接続されてなることを特徴とする半導体装置。
又、前記外部導体がパンディングワイヤーであることを特徴とする特許請求の範囲を上記の順序に並べて記載する。

本発明第1項記載の半導体装置。

3. 発明の詳細な説明

本発明は多層半導体集積回路チップを封けた半導体装置の構造に関する。電子計算機あるいは各種通信装置等の電子機器においては、半導体装置の実装密度を向上せしめることがや否の小形化大容量化を図る上で亟めて要望ことである。

そして上記目的のために大規模積層回路(LSI)等の半導体集積回路(IC)に対して、バケージよりの電子導通度を向上せしめる技術として、(1)複数個のLSIチップを1【面】の半導体バケージ内に配置する方法、(2)LSIチップの表面に半導体電子を形成する構造、(3)LSIチップを搭載した半導体バケージを組み立てる方法、(4)LSI上に形成した配線層上に半導体電子を形成しレーダー・アーネルで該半導体層を表面化し、該半導体層にLSIを形成する方法(日本エレクトロニクスZ-18(1980)P.82参照)等があるが、(1)~(3)の構造に於ては組み立てる方法に対する実装密度の大さき向上は期待できます。

以下本発明を第1回及び第2回に示すナ・ア積層構造における二つの実施例の上面回り及びA-A'矢印断面図(1)、第3回及び第4回に示すバ・ケージへのナ・ア表面構造における二つの実施例の断面模式図を用いて詳細に説明する。

本実施例の多層半導体ICに使用する各電子基板としての半導体ICチップは、通常行われる例えばMIS型ICの製造工程に従って、ゲート酸化膜、ゲート電極、ソース・ドレイン領域、配線等の形成が完了せしめられ、取扱のための導通用バ・ドであるポンディング・パッド部のみを残して上面が保護ガラス(PSG)等の表面保護基板で覆われてなっている。なお上記ポンディング・パ・ド部にはバンブ状電極が形成される場合もある。

そして例えば第1回(a)及び(b)に示すような多層半導体ICチップの積層構造においては、第1層の半導体ICチップ1a、第2層のチップ1b、第3層のチップ1c及び第4層のチップ1dの4(辺)に沿った周縁部に導通所形成のポンディング・バ

又第2回(a)及び(b)は同じナ・ア・サイズの半導体ICチップを積層する際の構造を表わす別の実施例で、この場合は各層半導体ICチップ例えば1a、1b、1c及び1dのポンディング・パ・ド2a、2b、2c及び2dは該チップに於ける開き合ったZ(辺)に沿う端部のみに形成される。そしてチップを積層する際用いる接着層3としては前記同様遮絶性樹脂、導電性接着剤或いはろう材が使用される。(図中9は表面保護基板を表わす)

本実施例の半導体装置は上記のような多層半導体集積回路チップを半導体バ・ケージ内に配置した構造を有してナ・ア。その一実施例に於ては第3回の断面模式図に示すように、半導体バ・ケージ40ナ・ア・ステージ5上に前記のように半導体ICチップ1a、1b、1c及び1dが順次積層された多層半導体集積回路チップが、前記同様遮絶性樹脂、導電性接着剤或いはろう材等からなる接着層3により固定されてナ・ア。上記チップの所定の領域と板方向に電気的接続を行なう點に有利である。

→
左側
ゆえ
を大
半導
いはそ
内に
I-Cの
及び回
の向上
さら
バ・ドの
の導通
形成され
なれる。
又本発
子基板層と
算達のよ
間を外部導
て試験通の

又(4)の構造においては無根成及び表面密度は大幅に向上するが、各層の回路端子が突出しないので、各層に形成されているLSIのプロセス規範全回路端子を完全に改正することが出来てあるという問題があった。

本発明は上記問題点に鑑み、集積回路(IC)チップを複数枚、バ・ケージ寸法の拡大することと耐力強化且つバ・ケージ当たりのICの表面密度を大幅に向上せしめ、更にICチップ毎のプロセス規範及び回路端子を完全に固定することが可能な構造を有する多層半導体集積回路チップをバ・ケージ内に封入してなる半導体装置を提供する。

即ち本発明は半導体素子が無根されてなる電子基板層が多層に複用され、各層に外部との導通バ・ドが設けられた多層半導体集積回路チップをバ・ケージ内に封入した半導体装置について、該バ・ケージ内の内部バ・ドが階級状に多層に設けられ、対応する層の前記導通のバ・ドと内部バ・ドとが外部導体を介して接続されてなることを特徴とする。

ド2a、2b、2cあるいは2dが形成されており、各層チップの大きさは、上層のチップを置せた時に下層チップのポンディング・パ・ドが上層チップの周辺部(外側)に突出するよう、上層チップになるに従って順次小さく形成される。(図中9は表面保護基板を表わす)

そしてこれら半導体ICチップを後層回層する際の接着層3はシリコン樹脂、エポキシ樹脂或いはポリイミド等の遮絶性樹脂、銀ベースト等の導電性接着剤或いは金-銀(Au-Sn)等の合金からなるろう材により形成される。なお上記の中、ろう材を用いて接着力を行う際には下層の半導体ICチップの表面保護基板層9上に予めAu等からなるメタライズ層を形成しておく必要があり、又導電性接着剤或いはろう材を用いて接着力する際には下層チップの表面保護基板層9に於ける周縁部以外の所定の場所にコンタクト窓を形成し、前記導電性接着剤或いはろう材を介して上層チップの所定の領域と板方向に電気的接続を行なう點に有利である。

発明の半導体装置に於ける一実施例の断面模式図で、本実施例に於てはポンディング・ペード_{2a}, 2b, 2c部に鉛-錫(Pb-Sn)半田等からなるパンプ電板_{8a}, 8b, 8cを有する半導体ICチップ_{1a}, 1b, 1cを前述のように積層形成せしめた多層半導体集積回路チップを、試テ・ブの上面を下に向け、半導体バ・ケージ₄に多層に形成された内部ペード_{6c}, 6b, 6a上に、前記パンプ電板_{8a}, 8b, 8cによりろう角固定し、該パンプ電板_{8a}, 8b, 8cを外部導体として介して各層半導体ICチップ_{1a}, 1b, 1cのポンディング・ペード部とバ・ケージの内部配線とをそれぞれを気的に接続した構造を有している。(図中9は表面保護絶縁膜を表わす)

又第4図は多層半導体集積回路チップを第一スリーヴ・イクン構造で半導体バ・ケージに搭載する本

以上説明したように本発明の構造を有する半導体装置に於ては、半導体バ・ケージ内に半導体ICチップが積層固定されてなっているので、メモ

すしも一枚のチップで回路接続を完成せしめる必要はなく、複数枚のチップにまたがって回路接続を形成することができる。

従って本発明によれば多層半導体ICの製造歩留まりが向上すると同時に、電子計算機あるいは電子通信装置等の電子機器の小型化、大容量化が図れる。

4. 図面の簡単な説明

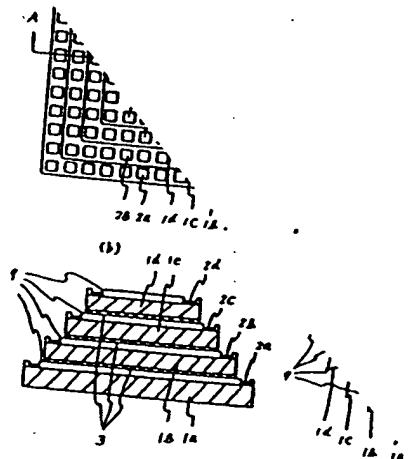
第1図及び第2図は本発明の多層半導体集積回路に於けるチップ積層構造の二つの実施例を示し(1)はその上面図、(2)はそのA-A'矢視断面図である。又第3図及び第4図は本発明に於けるバ・ケージへのチップ実装構造の二つの実施例の断面模式図である。

図に於て1aと1bと1cと1dは電子基板層である半導体集積回路チップ、2aと2bと2cと2dはポンディング・ペード、3は被覆膜、4は半導体バ・ケージ、5はチップ・ステージ、6aと6bと6cはバ・ケージの内部ペード、7及び7'は外部導体、8aと8bと8cはパンプ電板

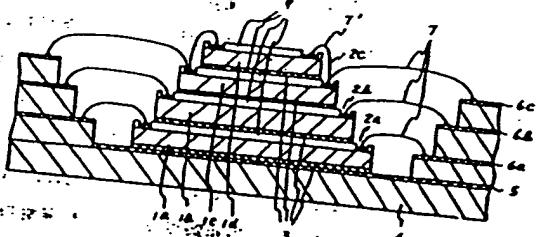
中華人民共和國關稅和貨物進出口監督管理總署
總署關稅和貨物進出口監督管理司

Digitized by srujanika@gmail.com

代理人：力士公司 安徽省



五三



第 4 四

